

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-104738

(43)公開日 平成6年(1994)4月15日

(51)IntCl⁵

H03L 3/00

識別記号

庁内整理番号

8730-5J

FI

技術表示箇所

審査請求 未請求 請求項の数2(全6頁)

(21)出願番号 特願平5-207144

(22)出願日 平成5年(1993)7月29日

(31)優先権主張番号 926101

(32)優先日 1992年8月6日

(33)優先権主張国 米国(US)

(71)出願人 000108409

ソニー・エレクトロニクス株式会社

東京都品川区北品川5丁目9番31号

(72)発明者 ウィリアム・エス・ドラモンド

アメリカ合衆国オレゴン州97113 コーネ

リウス ノース・ウェスト ハーリント

ン・ロード 36860

(72)発明者 アーサー・ジェー・メッツ

アメリカ合衆国オレゴン州97026 ガーバ

イス フロロブ・ドライブ 12740

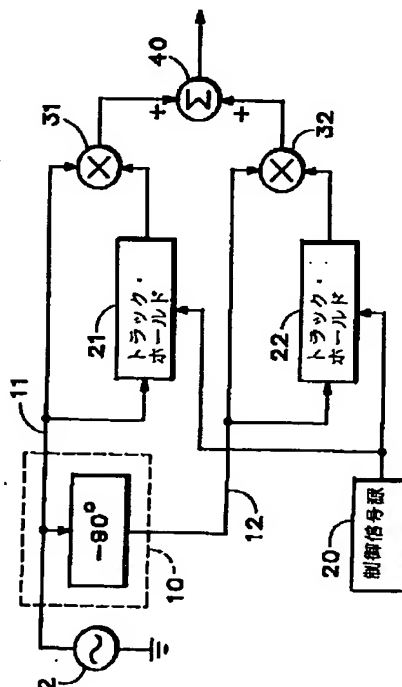
最終頁に続く

(54)【発明の名称】 信号発生器

(57)【要約】

【目的】 出力信号の発生時の遅延を抑制し、且つジッタの発生も抑制できる信号発生器を実現すること。

【構成】 正弦波状入力信号を発生する第1の手段2と、上記正弦波状入力信号の発生中に選択された時点で第1状態から第2状態に移移する制御信号を発生する第2の手段20と、上記正弦波状入力信号及び制御信号に応じて動作し、上記制御信号の状態移移時点に対して所定の時点で所定の位相で正弦波状出力信号の発生を開始する第3の手段10、21、22、31、32及び40を具える。



【特許請求の範囲】

【請求項1】 正弦波状入力信号を発生する第1の手段と、

上記正弦波状入力信号の発生中に選択された時点で第1状態から第2状態に移移する制御信号を発生する第2の手段と、

上記正弦波状入力信号及び制御信号に応じて動作し、上記制御信号の状態移移時点に対して所定の時点で所定の位相で正弦波状出力信号の発生を開始する第3の手段を具えることを特徴とする信号発生器。

【請求項2】 上記第3の手段は、

上記正弦波状入力信号に応じて所定の位相差の第1及び第2正弦波状信号を発生する手段と、

上記制御信号の移移時点における上記第1正弦波状信号の値を保持する第1保持手段と、

上記制御信号の移移時点における上記第2正弦波状信号の値を保持する第2保持手段と、

上記第1正弦波状信号と上記第1保持手段の出力とを乗算する第1乗算手段と、

上記第2正弦波状信号と上記第2保持手段の出力とを乗算する第2乗算手段と、

上記第1及び第2乗算手段の出力を加算する加算手段とを具えることを特徴とする請求項1記載の信号発生器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、任意の位相から起動可能な信号発生装置に関する。

【0002】

【従来技術及び発明が解決しようとする課題】高速デジタル装置では、サンプリング・クロック信号の制御によってアナログ入力信号がサンプリングされ、取込期間中に量子化される。サンプリング・クロック信号は、通常、高周波数の正弦波から生成される。高周波数の正弦波信号は、トリガ・イベントを表す制御信号の状態移移後所定の時点で、既知の位相から発生するのが望ましい。このような高周波数の正弦波信号を既知の位相で起動可能なクロック発生回路を用いて生成する技術が知られている。

【0003】このようなクロック発生回路は、発振器とその発振器の発振ループをイネーブル又はディセーブルする手段とを含んでいる。発振ループは、制御信号の移移時点の直前にはイネーブル状態である。制御信号の移移時点に達すると、発振ループは一時的にディセーブル状態となり、発振器が停止し、その後再びイネーブルされる。これにより、発振器の出力は、制御信号の移移時点に同期し、その移移時点に関して既知の時点で発振器が起動し、出力を既知の位相で発生する。理想的には、発振器は、制御信号の移移時点で直ちにオン又はオフすべきである。しかし、現実には、発振器の中の回路素子が安定するのに時間を要するので、ある程度の時間的遅

延が生じる。よって、所望の位相で起動可能なクロック回路は、制御信号の遅移を受けてから正弦波出力を発生するまでの間に時間的遅延を生じる結果となる。この遅延時間は、発振器内部の素子のQの値に依存している。

【0004】この遅延時間を最小にしたいという要求のために、従来の回路では、発振ループ内にQの値が低い素子を使用していた。しかし、Qの値が低い素子で構成された発振器は、ジッタ（アナログ・サンプルの取り込み期間の発振器の出力の時間的不安定性）の発生期間が長くなるという欠点がある。反対にQの値が高い素子を使用すると、ジッタの問題は改善できるが、発振器の動作における上述の遅延時間が長くなってしまふ。従って、このクロック発振器においてジッタを抑制しようとしても、発振器の動作の遅延時間を最小化したいという要求により制限されてしまふ。

【0005】本発明の目的は、上述の二律背反の問題を同時に解決し、出力信号の発生時の遅延を抑制し、且つジッタの発生も抑制できる信号発生器を実現することである。

【0006】

【課題を解決する為の手段】本発明の信号発生器は、正弦波状入力信号を発生する第1の手段と、上記正弦波状入力信号の発生中に選択された時点で第1状態から第2状態に移移する制御信号を発生する第2の手段と、上記正弦波状入力信号及び制御信号に応じて動作し、上記制御信号の状態移移時点に対して所定の時点で所定の位相で正弦波状出力信号の発生を開始する第3の手段を具えている。

【0007】上記第3の手段は、上記正弦波状入力信号に応じて所定の位相差の第1及び第2正弦波状信号を発生する手段と、上記制御信号の移移時点における上記第1正弦波状信号の値を保持する第1保持手段と、上記制御信号の移移時点における上記第2正弦波状信号の値を保持する第2保持手段と、上記第1正弦波状信号と上記第1保持手段の出力とを乗算する第1乗算手段と、上記第2正弦波状信号と上記第2保持手段の出力とを乗算する第2乗算手段と、上記第1及び第2乗算手段の出力を加算する加算手段とを具えている。

【0008】

【実施例】図1は、本発明の信号発生器の一実施例の構成を示すブロック図である。発振器2は、正弦波状信号 $\cos(\omega t + \alpha)$ を発生する。この正弦波状信号は、位相スプリッタ10に供給され、位相分割されてノード11には同相の正弦波状信号 $\cos(\omega t + \alpha)$ が出力され、ノード12には、直角位相信号である直角正弦波状信号 $\sin(\omega t + \alpha)$ が出力される。位相スプリッタ10からの同相の正弦波状信号は、4相の乗算器31の第1入力端及び第1トラック・ホールド回路21のアナログ入力端に供給される。

【0009】第1トラック・ホールド回路21の制御ボ

ートには、制御信号源20に接続されている。制御信号が第1状態になった時、トラック・ホールド回路21は、ディセーブル状態となり、入力信号に追従するトラック状態（以下、トラック・モードという）となる。制御信号が第2状態になった時、トラック・ホールド回路はイネーブル状態となり、入力信号の値を保持するホールド状態（以下、ホールド・モードという）となる。この第1トラック・ホールド回路21がトラック状態の時、入力端に受けた同相の正弦波状信号と同時に追従する。ホールド・モードになると、その制御信号の遷移時点における入力信号の電圧値に等しい値が保持される。この第1トラック・ホールド回路21の出力は、第1乗算器31の第2入力端に供給される。

【0010】第1乗算器31は、位相スプリッタ10からの同相の正弦波状信号と第1トラック・ホールド回路21の出力信号とを乗算する。乗算の結果、正と正の乗算は正となり、正と負の乗算は負となり、負と負の乗算は正となる。この第1乗算器の31の出力は、加算器40の加算入力ポートの1つに供給される。

【0011】位相スプリッタの正弦波状出力信号は、第1トラック・ホールド回路21と同じ制御信号を受ける第2トラック・ホールド回路22のアナログ入力端に供給されると共に、第2乗算器32の第1入力端にも供給される。第2トラック・ホールド回路22の出力は、第2乗算器32の第2入力端に供給され、位相スプリッタからの正弦波状出力信号と乗算される。この乗算出力は、加算器40の他方の加算入力端に供給される。加算器40は、第1及び第2乗算器31及び32の出力を加算したアナログ出力信号を発生する。

【0012】制御信号がトラック・モードの時には、加算器40のアナログ出力信号は次式で与えられる。

$$\cos^2(\omega t + \alpha) + \sin^2(\omega t + \alpha)$$

【0013】従って、この出力信号は一定の電圧値となる。t=Tの時点で制御信号によりトラック・モードからホールド・モードに遷移すると、トラック・ホールド回路21及び22は、夫々一定出力信号 $\cos(\omega t + \alpha)$ 及び $\sin(\omega t + \alpha)$ に固定されるので、加算器のアナログ出力信号は次式で表される。

$$\cos(\omega t + \alpha)\cos(\omega T + \alpha) + \sin(\omega t + \alpha)\sin(\omega T + \alpha)$$

この出力信号の値は $\cos(\omega t + \gamma)$ に等しく、 $\gamma = -\omega T$ （定数）である。

【0014】従って、図1の信号発生器は発振器の出力を制御して出力信号を得るものであり、その第1状態では、時間に対して変化しない一定出力を発生し、第2状態では、発振器の出力信号と同じ周波数の正弦波状信号を発生する。

【0015】図1の信号発生器は、制御信号の遷移時点の直後に既知の位相 $(\omega t + \gamma = 0)$ で正弦波状出力信*

$$\cos(\omega t + \alpha - \delta) \sin(\omega t + \alpha - \theta) - \sin(\omega t + \alpha - \delta) \cos(\omega t + \alpha - \theta)$$

【0021】遅延素子51及び52の位相遅延 θ が $\text{トラ} \times 50 \times \text{ック}$ ・ホールド回路21及び22の位相遅延 δ と等しけ

*号の発生を開始する。制御信号の遷移時点から信号発生までの時間遅延は、トラック・ホールド回路、乗算器及び加算器の伝播遅延にのみ依存している。

【0016】この信号発生器のジッタの問題は、発振器2の安定性によって決まる。発振器2は、自走式の発振器であり起動式ではないので、遅延時間を最小にするためにQの値の低い素子を使用する必要がある。よって、発振器の動作の安定性が高く、遅延も殆どなくジッタの問題は発生しない。

【0017】図1の実施例では、位相スプリッタ10の出力における相互の振幅の不均衡により、トラック・モードにおける一定出力信号の値に対して発振器2の周波数の2倍の交流成分が加算される。図1の装置に使用される素子の理想状態からのずれ、例えば、トラック・ホールド回路及び乗算器の利得誤差やオフセット誤差、位相スプリッタの位相誤差及び加算器の非線形誤差等によっても相当なジッタが発生する可能性がある。このような原因によるジッタを最小にするには、図1の装置に使用する素子の特性を整合させる必要がある。このような特性の整合化は、回路装置を集積回路化することによって達成できる。

【0018】図1の信号発生器の動作におけるジッタは、動作時の出力信号の振幅を低減させることにより、種々の素子をより線形性の良好な範囲で動作させるようにしても良いが、熱雑音が一定なので、信号の振幅が小さくなると信号対雑音比は低下する虞がある。

【0019】図2は、本発明の他の実施例の構成を示すブロック図であり、この信号発生器は、熱歪を増加させることなく、位相スプリッタの出力信号の振幅誤差及び位相誤差に起因するジッタを低減するものである。更に、この信号発生器はトラック・ホールド回路の有限な遅延時間を補償することもできる。

【0020】図2の場合、位相スプリッタ10の同相出力信号11は、位相遅延素子51を介して乗算器31の第1入力端に供給されると共に、トラック・ホールド回路21を介して乗算器32の第1入力端にも供給される。同様に、位相スプリッタのもう一方の出力12は、位相遅延素子52を介して乗算器32の第2入力端に供給されると共に、トラック・ホールド回路22を介して乗算器31の第2入力端にも供給される。トラック・モードの制御信号に応じて、第1乗算器31から出力される信号は、 $\sin(\omega t + \alpha - \delta) * \cos(\omega t + \alpha - \theta)$ であり、第2乗算器32の出力信号は、 $\cos(\omega t + \alpha - \delta) * \sin(\omega t + \alpha - \theta)$ である。ここで、 δ は各トラック・ホールド回路の位相遅延を表し、 θ は位相遅延素子51及び52の位相遅延を表す。これら乗算器31及び32の出力は、加算器40により加算され以下の式で表される出力信号が得られる。

れば、トラック・ホールド回路がトラック・モードで加算回路40に供給される2つの信号が等しくなるので、出力信号はゼロとなる。時点 $t=T$ において、制御信号がトラック・モードからホールド・モードに変化する *

$$\cos(\omega t + \alpha - \delta) \sin(\omega t + \alpha - \delta) - \sin(\omega t + \alpha - \delta) \cos(\omega t + \alpha - \theta)$$

この式の値は、 $\sin(\omega t + \gamma)$ に等しく、 $t=T$ の時点でこの値はゼロとなる。よって、 $t=T$ の時点でアナログ出力信号は0から発生開始するので、制御信号の遷移時点 $t=T$ から出力信号がゼロクロスで発生開始するまでの遅延時間を最小にすることが出来る。

【0022】図2の遅延素子51及び52を調整することにより、加算器40の出力信号の始点位相を正弦波状曲線の任意の点に調整することが出来る。

【0023】理想的な場合には、正弦波状信号と直角正弦波状信号とを乗算することにより位相スプリッタの振幅誤差及び位相誤差の影響を除去し、図1の回路より図2の回路のジッタ特性を改善することが可能になる。

【0024】図3は、図2の信号発生器の更に一般的な装置の構成を示すブロック図である。図3の場合では、発振器2の出力信号は位相シフタ61及び62に供給さ

$$AB[\cos(\omega t + \alpha) \cos(\omega t + \beta - \delta) - \cos(\omega t + \alpha) \cos(\omega t + \alpha - \delta)]$$

この値は、一定値 $-AB \sin \delta \sin(\alpha - \beta)$ に等しい。

【0025】 $t=T$ の時点でトラック・ホールド回路がホールド・モードに遷移すると、加算器40のアナログ出力信号は、 $-AB \sin[\omega(t-T) + \theta] \sin(\alpha - \beta)$ となる。

【0026】本発明は、2つの出力信号のみを発生する位相スプリッタに限定されるものではなく、もっと多数の位相信号を発生する位相スプリッタに適用しても良い。図4は、一例として3つの異なる位相の信号を発生する位相スプリッタを採用した実施例の構成を示すブロック図である。図4において、位相スプリッタ10'は、発振器2から正弦波状信号を受け、3つの出力信号 $a(t)$ 、 $b(t)$ 及び $c(t)$ を出力端11'、12'及び13'に夫々発生する。これら3つの出力信号は互いに位相が120°離れている。位相スプリッタの第1出力は、第1トラック・ホールド回路21'に供給されると共に、第1乗算器31'にも供給されている。位相スプリッタの第2出力は、第2トラック・ホールド回路22'に供給されると共に、第2乗算器32'にも供給される。位相スプリッタの第3出力は、第3トラック・ホールド及び第3乗算器33'に供給される。

【0027】これら乗算器は、各々が差動入力端も備えている。第1、第2及び第3トラック・ホールド回路の出力信号 $a'(t)$ 、 $b'(t)$ 及び $c'(t)$ は、乗算器31'、32'及び33'の差動入力端に図示したように供給されるので、第1乗算器31'の出力は、 $a'(t)(b'(t) - c'(t))$ となり、第2乗算器32'の出力は、 $b'(t)(c'(t) - a'(t))$ ★50

*と、トラック・ホールド回路21及び22は、夫々 $\cos(\omega t + \alpha - \delta)$ と、 $\sin(\omega t + \alpha - \delta)$ となる。この結果得られるアナログ出力信号は、次式で表される。

※れる。位相シフタ61は、利得Aを有し、位相シフト α を与えるものであり、位相シフタ62は、利得Bを有し、位相シフト β を与えるものである。この結果、これら位相シフタの出力信号は、 $A \cos(\omega t + \alpha)$ 及び $B \cos(\omega t + \beta)$ で夫々与えられる。トラック・ホールド回路21及び22の遅延は、遅延 α 及び β の中にまとめられる。位相シフタ61の出力はトラック・ホールド回路21及び乗算器31に供給され、位相シフタ62の出力はトラック・ホールド回路22及び乗算器32に供給される。トラック・ホールド回路の遅延を δ と仮定すると、トラック・モードにおけるトラック・ホールド回路21及び22の出力信号は、夫々 $A \cos(\omega t + \alpha - \delta)$ 及び $B \cos(\omega t + \alpha - \delta)$ で与えられる。乗算器31及び32の出力は加算器40に供給され、加算器の出力は次式で与えられる。

★(t)となり、第3乗算器33'の出力は、 $c'(t)(a'(t) - b'(t))$ となる。これら3つの乗算器の出力は加算器40'により加算され、次式の出力信号が得られる。

$$a'(t)(b'(t) - c'(t)) + b'(t)(c'(t) - a'(t)) + c'(t)(a'(t) - b'(t))$$

【0028】トラック・モードでは、トラック・ホールド回路の遅延は無視すれば、 $a'(t)$ 、 $b'(t)$ 及び $c'(t)$ は、夫々 $a(t)$ 、 $b(t)$ 及び $c(t)$ と同じであるので、信号 $a(t)$ が $\sin(\omega t + \alpha)$ で与えられると、加算器40'の出力はゼロとなる。 $t=T$ の時点でホールド・モードに遷移すると、 $a'(t)$ 、 $b'(t)$ 及び $c'(t)$ は、夫々 $a(T)$ 、 $b(T)$ 及び $c(T)$ に等しくなるので、加算器40'の出力信号は、 $\sin(\omega t - \omega T)$ に正比例することになる。

【0029】本発明は、上述のような乗算器の接続構成に限定されるものではない。適当な調整をすることにより、乗算器の直接乗算入力端でトラック・ホールド回路の出力を受け、差動入力端で位相スプリッタの出力を受けるように接続しても良い。

【0030】上述の4相の乗算器は既知の構成のものであり、主として第3高調波の歪を発生する。トラック・ホールド回路も第3高調波の歪を発生する。位相スプリッタ10'の出力する3つの信号間の位相差は120°で、第3高調波の1周期に対応するので、3つの異なる信号路で別々に発生した何れの第3高調波歪も、他の2つの信号路の第3高調波歪とコヒーレントな関係にあるので、加算器40'において、3つの信号路における第

3高調波歪の振幅が同一ならば、これら第3高調波歪の積は相殺され、消滅する。この第3高調波歪を低減することにより、問題となるジッタも減少し、これにより、乗算器はより振幅の大きな信号に対しても動作可能となるので信号対雑音比を改善することが出来、出力信号のジッタ特性も改善される。

【0031】以上本発明の好適実施例について説明したが、本発明はここに説明した実施例のみに限定されるものではなく、本発明の要旨を逸脱することなく必要に応じて種々の変形及び変更を実施し得ることは当業者には明らかである。

【0032】

【発明の効果】本発明の信号発生器は、従来のように、発振器を停止させてから、制御信号により再起動して出力信号を発生させるのではなく、自走式の発振器の出力と制御信号の所定の遷移時点とに応じて所定の位相から出力信号の発生を開始するように構成したので、発振器にQの値の小さな素子を使用する必要がなく、遅延を低減させ、且つジッタの発生も抑制することが可能となり、従来の二律背反の課題を同時に解決できる。

【図面の簡単な説明】

【図1】本発明の一実施例の構成を示すブロック図である。

【図2】本発明の他の実施例の構成を示すブロック図である。

【図3】本発明の別の実施例の構成を示すブロック図である。

【図4】本発明の更に別の実施例の構成を示すブロック図である。

【符号の説明】

2 第1の手段（発振器）

20 第2の手段（制御信号源）

10 位相スプリッタ

21 トラック・ホールド回路

22 トラック・ホールド回路

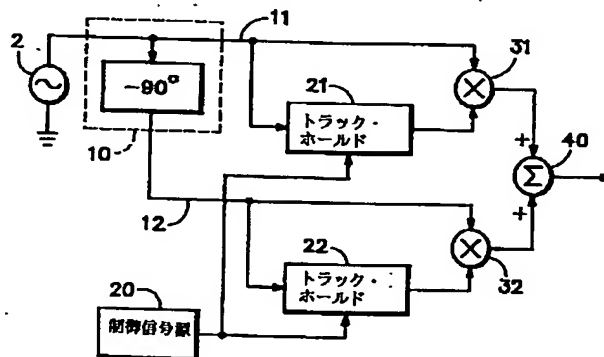
31 乗算器

32 乗算器

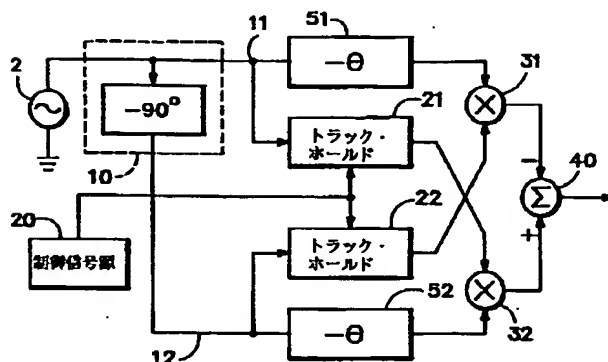
40 加算器

以上の10、21、22、31、32及び40が第3の手段

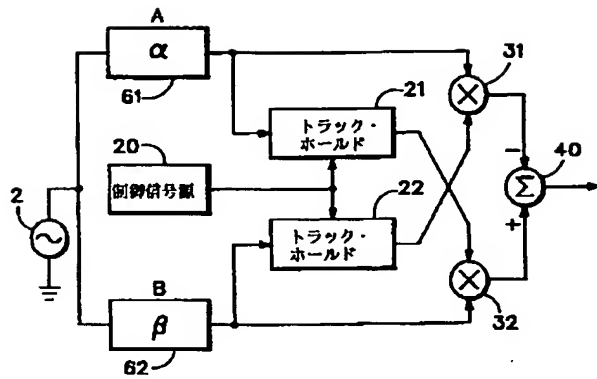
【図1】



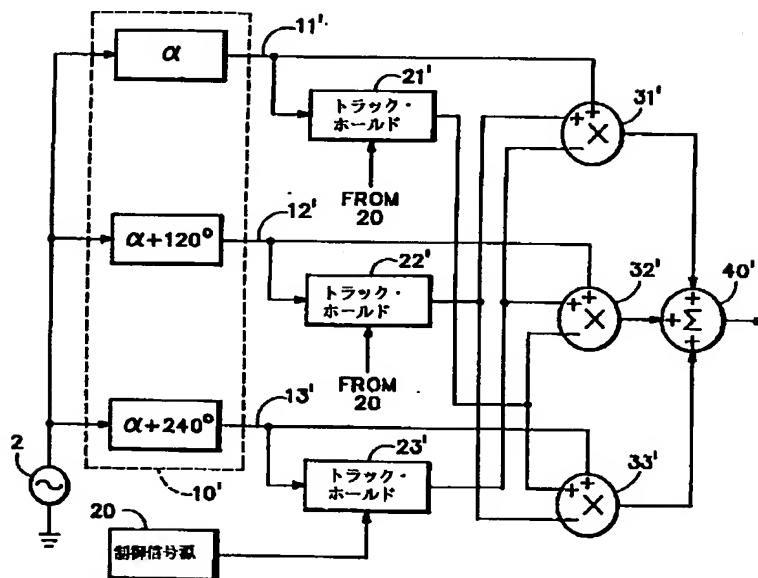
【図2】



【図3】



【図4】



フロントページの続き

(72)発明者 ウォルター・ディー・フィールズ
 アメリカ合衆国オレゴン州97005 ビーバ
 ートン サウス・ウェスト コーンストー
 ガ ナンバー・ワンハンドレッド・ナイン
 ティー・エイト 9920